

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年10月29日

出 願 番 号

Application Number:

平成11年特許願第309026号

出 願 人

Applicant(s):

沖電気工業株式会社

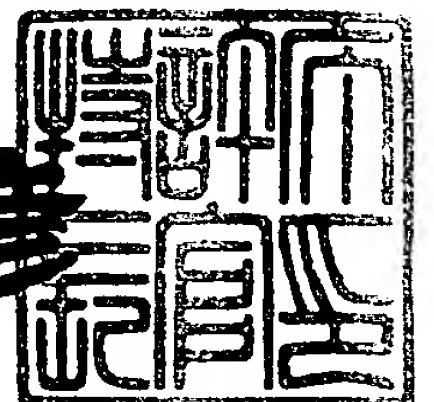


CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年12月24日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



【書類名】 特許願

【整理番号】 OG004216

【提出日】 平成11年10月29日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/08

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

 【氏名】 山崎 清彦

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100089093

 【弁理士】

 【氏名又は名称】 大西 健治

【手数料の表示】

 【予納台帳番号】 004994

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 受信回路

【特許請求の範囲】

【請求項 1】 受信信号を復調し、復調された復調データから同期パターンを検出することにより、該検出された同期パターンに応答して、前記復調データに含まれる所望のデータの格納及び出力を制御する受信回路において、前記受信信号を復調し、前記復調データを出力する復調回路と、前記復調データに含まれる同期パターンを検出し、検出結果を指示する指示信号を出力する検出回路と、前記指示信号を受信し、該指示信号を受信してから所定時間経過毎にパルス信号を出力可能なパルス発生回路と、前記指示信号と前記パルス信号との少なくともいずれか一方に応じた制御信号を出力する制御回路と、前記制御信号に応答して、前記復調データに含まれる所望のデータを格納及び出力するためのクロック信号を発生するクロック発生回路と、を有することを特徴とする受信回路。

【請求項 2】 前記パルス信号を受信し、モード信号に応じて、前記パルス信号に応じた信号の前記制御回路への伝達を制御するパルス伝達制御回路を有することを特徴とする請求項 1 記載の受信回路。

【請求項 3】 前記パルス発生回路は、受信回路の動作に用いられる動作用クロック信号に基づき計数動作を行なうカウンタから構成されるものであり、前記受信回路は、前記動作用クロック信号を受信し、モード信号に応じて、前記動作用クロック信号に応じた信号の前記パルス発生回路への伝達を制御するクロック伝達制御回路を有することを特徴とする請求項 1 記載の受信回路。

【請求項 4】 前記モード信号は、第 1 の電圧レベルにて通常動作モードを指示し、前記第 1 の電圧レベルとは異なる第 2 の電圧レベルにてビット誤り率測定モードとを指示するものであり、前記パルス伝達制御回路は、前記モード信号が前記第 1 の電圧レベルの時に前記パルス信号に応じた信号を前記制御回路へ伝達することを抑制し、前記モード信号が前記第 2 の電圧レベルの時に前記パルス

信号に応じた信号を前記制御回路へ伝達することを許可することを特徴とする請求項 2 記載の受信回路。

【請求項 5】 前記モード信号は、第 1 の電圧レベルにて通常動作モードを指示し、前記第 1 の電圧レベルとは異なる第 2 の電圧レベルにてビット誤り率測定モードとを指示するものであり、前記クロック伝達制御回路は、前記モード信号が前記第 1 の電圧レベルの時に前記動作クロック信号に応じた信号を前記パルス発生回路へ伝達することを抑制し、前記モード信号が前記第 2 の電圧レベルの時に前記動作クロック信号に応じた信号を前記パルス発生回路へ伝達することを許可することを特徴とする請求項 3 記載の受信回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、TDMA (Time Division Multiple Access : 時分割多元接続) 方式等を用いた無線装置における受信回路に関するものである。

【0002】

【従来の技術】

ディジタル方式の移動体通信は基本周期となるフレームが定められ、このフレーム内で割り当てられた一定時間幅（主にタイムスロットと称される）を用いて無線信号の送受信を行なっている。

【0003】

このため、同一周波数の無線回線を時分割で使用する事ができるため、通信を行なう各局は共通の時間基準を持ち、送信された無線信号には各局にて時間基準とするための情報として、同期パターン（ユニークワードとも称される）を持たせることにより、無線回線上で重ならないようにタイミング制御を可能としている。

【0004】

つまり、送信側（例えば、基地局）は、送信すべきディジタルデータを変調し、この変調されたデータと同期パターンを含めた、所定のフォーマットのバス

ト信号を、無線信号として送信する。受信側（例えば、移動局）は、受信した無線信号を復調し、復調されたデータ（以下、復調データと称する）から同期パターンを検出する。同期パターンが検出できた場合には、これを時間基準として、復調データを格納及び出力すべきクロック信号に基づいて格納するようにしている。同期パターンが検出されることで、復調データのどの位置からが所望のデータであるかを判断できるようになっている。

【 0 0 0 5 】

格納されたデータは、外部のマイクロコンピュータや上位回路に出力され、目的に基づいて所望の処理が施される。

【 0 0 0 6 】

なお、同期パターンが検出されない場合には、先に受信し、格納しているデータ、あるいは全てのビットが論理‘0’あるいは論理‘1’に固定されたデータが、外部のマイクロコンピュータや上位回路に出力される。

【 0 0 0 7 】

【発明が解決しようとする課題】

無線装置において、ビット誤り率特性を測定することがある。ビット誤り率特性とは、無線信号とノイズとの比をパラメータとして、受信し、復調した復調データがどの程度誤るかを測定することにより得られるものである。ビット誤り率特性を測定することで、送受信を行なう2局間でのデジタル伝送の品質を判定することができる。

【 0 0 0 8 】

ビット誤り率特性の測定においては、送信側、例えば試験信号発生装置が送信するバースト信号において、変調されたデータとして、疑似ランダムパターンと称される、所定の法則に基づいた疑似ランダムパターンからなる変調データを同期パターンとともに送信する。

【 0 0 0 9 】

受信側、例えば、移動局側では、送信されたバースト信号を受信し、復調する。受信側の受信回路では、復調データから同期パターンを検出し、同期パターンが検出できた場合には、復調データから疑似ランダムパターンに相当するデータ

を格納することができる。この格納されたデータは、例えば、試験装置等に出力され、試験装置は、格納されたデータが、送信時に疑似ランダムパターンを発生させるのに用いられた法則に基づいているかどうかをビット単位で確認する。受信したデータのうち、送信時に疑似ランダムパターンを発生させるのに用いられた法則に基づいていないビットについては誤りとしてカウントされる。このカウント数によってビット誤り率特性が測定される。

【0 0 1 0】

ここで、送信側は、連続した疑似ランダムパターンを、連続した複数のフレームに渡って、各フレームにおける所定のバースト信号にて分割して送信している。このため、受信回路が、送信されたバースト信号の復調データから同期パターンを検出できなかった場合、そのバースト信号においては復調データから疑似ランダムパターンに相当するデータが抽出できない。このため、同期パターンを検出できなかったバースト信号に対しては、確率的に約 5 0 % の誤りとなってしまうこととなる。この結果、正確なビット誤り率特性を測定することができないこととなる。

【0 0 1 1】

本発明は、上記課題を解決し、ビット誤り率特性の測定をより正確に実行できる受信回路を提供することを目的とするものである。

【0 0 1 2】

また、本発明は、上記目的を通常の動作への影響、受信回路を構成する構成要素の増加、消費電力の増加のそれぞれを極力低減して上記目的を実現する受信回路を提供することを目的とするものである。

【0 0 1 3】

【課題を解決するための手段】

上記目的を実現するために、本発明にて講じた手段は、受信信号を復調し、復調された復調データから同期パターンを検出することにより、この検出された同期パターンに応答して、復調データに含まれる所望のデータの格納及び出力を制御する受信回路において、受信信号を復調し、復調データを出力する復調回路と、復調データに含まれる同期パターンを検出し、検出結果を指示する指示信号を

出力する検出回路と、指示信号を受信し、この指示信号を受信してから所定時間経過毎にパルス信号を出力可能なパルス発生回路と、指示信号とパルス信号との少なくともいずれか一方に応じた制御信号を出力する制御回路と、制御信号にตอบสนองして、復調データに含まれる所望のデータを格納及び出力するためのクロック信号を発生するクロック発生回路と、を有するようにしている。

【 0 0 1 4 】

また、本発明においては、モード信号にて、パルス発生回路から出力されるパルス信号の発生の伝達を制御するようにしてもよい。

【 0 0 1 5 】

【発明の実施の形態】

本発明の受信回路について、以下に図面を用いて詳細に説明する。図 1 は、本発明の第 1 の実施の形態における受信回路の回路図である。なお、本発明においては、受信回路が、移動局側の無線装置に内蔵されるものとして説明するが、これに限らず、基地局側の装置に内蔵されるものであっても適用可能である。

【 0 0 1 6 】

図 1 において、受信回路は、復調回路 1 0 1、検出回路 1 0 2、格納手段であるレジスタ 1 0 3、クロック発生回路 1 0 4、パルス発生回路 2 0 1、制御回路 2 0 2 から構成されている。

【 0 0 1 7 】

復調回路 1 0 1 には無線信号 R F として、各フレームのバースト信号が入力される。復調回路 1 0 1 は、受信したバースト信号を復調し、復調データ R D を出力するものである。

【 0 0 1 8 】

検出回路 1 0 2 には、復調データ R D が入力される。検出回路 1 0 2 は、受信した復調データ R D から同期パターンを検出するものである。検出回路 1 0 2 が所望の同期パターンを検出した時に、指示信号 D E T 1 として、一時的に短い時間だけ電圧レベルが電源電圧レベル（論理レベルが H レベル、以下、単に H レベルと称する）となるワンショットパルスを出力する。検出回路 1 0 2 が所望の同期パターンを検出できなかった時は、指示信号 D E T 1 は電圧レベルは接地電圧

レベル（論理レベルがLレベル、以下、単にLレベルと称する）を維持したままである。

【0019】

パルス発生回路201は、指示信号DET1と、復調回路101や検出回路102の動作等、受信回路の動作に用いられる動作用クロック信号CLKが入力されている。パルス発生回路201は、例えば、カウンタから構成されるものである。つまり、パルス発生回路201は、初期値（例えば、0カウント状態）から動作用クロック信号CLKのクロック数を計数し、この計数値がカウンタとしてのパルス発生回路201の計数限度に到達し、オーバーフローした際に、カウントアップ信号COとしてワンショットパルスを発生する。カウントアップ信号COは、このワンショットパルスを発生していない状態では、Lレベルを維持している。また、オーバーフローした後は、パルス発生回路201は、再び初期値から計数を行なうものである。つまり、パルス発生回路201は、所定の計数値を巡回して計数するタイマ回路である。また、このパルス発生回路201は、指示信号DET1として、ワンショットパルスが入力された時、つまり、検出回路102が、同期パターンを検出した時に、パルス発生回路201の計数値は初期値にリセットされるようになっている。なお、パルス発生回路201の計数限度については後述する。

【0020】

パルス発生回路201は、例えば、複数のフリップフロップから構成されるカウンタにて実現可能である。この場合、複数のフリップフロップのリセット端子に指示信号DET1が入力されるようにしておけばよい。

【0021】

制御回路202は、2入力1出力のORゲートで構成されている。このORゲートの入力側には、指示信号DET1とカウントアップ信号COとがそれぞれ入力されている。このため、制御回路202は、指示信号DET1とカウントアップ信号COとがともに電圧レベルがLレベルの時には、電圧レベルがLレベルの制御信号DET2を出力しており、指示信号DET1とカウントアップ信号COのいずれか一方がワンショットパルスを発生した時に、これに応じた制御信号D

ET 2 を出力するものである。

【 0 0 2 2 】

クロック発生回路 1 0 4 は、制御信号 DET 2 が入力されている。クロック発生回路 1 0 4 は、制御信号 DET 2 としてワンショットパルスを受信した時に、所定の周期の第 1 のクロック信号 CK 1 と、この第 1 のクロック信号 CK 1 の発生が終了した後に発生する第 2 のクロック信号 CK 2 とを発生する。

【 0 0 2 3 】

この第 1 のクロック信号 CK 1 は、復調データに含まれる所望のデータ（受信回路の後段に位置するマイクロコンピュータや外部装置にて、処理されるデータ）を順次格納するのに用いられるものである。このため、第 1 のクロック信号 CK 1 は、復調データに含まれる所望のデータに相当するデータが後述するレジスタ 1 0 3 に到達するタイミングにて発生が開始し、このデータのビット数分だけクロックが発生される。第 2 のクロック信号 CK 2 は、格納したデータを順次出力するのに用いられるものである。このため、第 2 のクロック信号 CK 2 は、第 1 のクロック信号 CK 1 と同様に、このデータのビット数分だけクロックが発生される。

【 0 0 2 4 】

つまり、クロック発生回路 1 0 4 は、復調データに含まれる所望のデータの格納や出力のタイミングを制御する第 1 のクロック信号 CK 1 や第 2 のクロック信号 CK 2 を発生するタイミング制御回路としての役割も有するものである。

【 0 0 2 5 】

レジスタ 1 0 3 は、例えば、格納すべき所望のデータのビット数分の格納を行なうシフトレジスタから構成されるものである。レジスタ 1 0 3 は、第 1 のクロック信号 CK 1 に応じて、受信される復調データの所望のデータを順次格納し、第 2 のクロック信号 CK 2 に応じて、格納したデータを順次出力データ DO として出力するものである。つまり、第 1 のクロック信号 CK 1 は、レジスタ 1 0 3 におけるデータ格納用のシフトクロックとして用いられ、第 2 のクロック信号 CK 2 は、レジスタ 1 0 3 における格納したデータの出力用のシフトクロックとして用いられるものである。

【 0 0 2 6 】

このように構成された図 1 の受信回路は、バースト信号を受信し、所望の同期パターンが検出された場合に、そのバースト信号の復調データから所望のデータを格納し、出力するように動作する。

【 0 0 2 7 】

ここで、送信されてくるバースト信号とこのバースト信号のフォーマットについてを図面を用いて説明する。図 2 は、送信されるバースト信号と、そのバースト信号のフォーマットを説明する図である。

【 0 0 2 8 】

無線信号 R F は、バースト（間欠）状態で信号を送信してくるものである。このうち、同期パターンを有するバーストデータが、各フレームに複数配置されている。図 2 に示すバースト信号 B D は、それぞれ同期パターンを有し、本発明における受信回路を内蔵する無線装置にて取り込むべきデータを有するものとする。

【 0 0 2 9 】

このバースト信号 B D は所定のフォーマットで構成されている。図 2 に示されるように、各バースト信号 B D は、プリアンプル P R、同期パターンに相当するユニークワード U W、マイクロコンピュータ等にて処理が施されるべきデータ D A T A、誤り検出ビット C R C を有している（実際には、ランブタイムやスタートシンボル等も有するが、本発明の説明上においては必要ないので、説明を簡略にするため示していない）。プリアンプル P R、ユニークワード U W、データ D A T A、誤り検出ビット C R C はそれぞれビット数が予め決められているものである。このため、復調データからユニークワード U W に基づく同期パターンを検出できれば、データ D A T A の位置も確認することができる。なお、上記説明においては、復調したデータ D A T A をレジスタ 1 0 3 に格納するものとして説明している。

【 0 0 3 0 】

また、各フレーム間隔も予め決められているものである。このため、先に受信したバースト信号 B D において、同期パターンが検出できれば、次に受信すべき

バースト信号 B D の同期パターンの位置、及びデータ D A T A の位置は確認できる。例えば、先に受信したバースト信号 B D において、同期パターンが検出されてから、次に受信すべきバースト信号 B D のデータ D A T A の位置までは、約 5 m s の間隔である。このため、パルス発生回路 2 0 1 の計数限度は、この間隔（約 5 m s）を、カウント対象の動作クロック信号 C L K の 1 周期の時間で割った数に相当するようにしておけばよい。

【 0 0 3 1 】

ここで、ビット誤り率特性の測定に用いられる疑似ランダムパターンは、図 2 に示すデータ D A T A に配置されるものである。図 2 に示すバースト信号 B D それぞれに連続した疑似ランダムパターンが分割されて順次送信されることとなる。

【 0 0 3 2 】

このように、ビット誤り率特性の測定をより正確に行なうためには、分割されて送信される連続した疑似ランダムパターンを確実に、データとしてレジスタ 1 0 3 に格納していくことが要求される訳である。

【 0 0 3 3 】

次に、図 1 における受信回路におけるビット誤り率特性の測定時の動作を以下に説明する。図 3 は、本発明の第 1 の実施の形態における受信回路の動作を説明するタイミングチャートである。図 3 における各信号の符号は、図 1 における信号の符号と対応している。

【 0 0 3 4 】

図 3 において、初期状態、つまり、無線信号 R F として所望の疑似ランダムパターンを有したバースト信号を受信していない状態では、指示信号 D E T 1 の電圧レベルは L レベルになっている。また、パルス発生回路 2 0 1 はカウント動作をしているが、カウントアップ信号 C O の電圧レベルも L レベルのままであるとする。このため、制御信号 D E T 2 の電圧レベルも L レベルのままであり、第 1 及び第 2 のクロック信号 C K 1, C K 2 とともに発生していない。

【 0 0 3 5 】

時刻 T 1 において、受信回路が、無線信号 R F として受信したバースト信号が

ら所望の同期パターンが得られたとする。このため、指示信号 D E T 1 は時刻 T 2 まで、電圧レベルが H レベルとなるワンショットパルスを発生する。これに伴い、制御信号 D E T 2 も時刻 T 1 から時刻 T 2 まで、電圧レベルが H レベルとなる。クロック発生回路 1 0 4 は、制御信号 D E T 2 の変化に基づき、第 1 のクロック信号 C K 1 を、受信したバースト信号の復調データのうち、レジスタ 1 0 3 に格納すべきデータ（疑似ランダムパターン）のビット数分発生する。図 3 においては、時刻 T 3 の前まで、第 1 のクロック信号 C K 1 を発生している。つまり、時刻 T 3 までにレジスタ 1 0 3 には、格納すべきデータが格納される訳である。

【 0 0 3 6 】

また、時刻 T 1 において発生した指示信号 D E T 1 の変化に基づいて、パルス発生回路 2 0 1 の計数値は一旦初期値にリセットされる。時刻 T 2 からパルス発生回路 2 0 1 は、初期値からの計数動作を再び始めることとなる。

【 0 0 3 7 】

時刻 T 3 において、クロック発生回路 1 0 4 は、第 1 のクロック信号 C K 1 に続いて、第 2 のクロック信号 C K 2 を発生する。第 2 のクロック信号 C K 2 は、レジスタ 1 0 3 に格納されたデータのビット数分発生する。図 3 においては、時刻 T 4 の前まで、第 2 のクロック信号 C K 2 を発生している。つまり、時刻 T 4 までにレジスタ 1 0 3 から、格納されたデータが順次出力データ D O として出力される訳である。

【 0 0 3 8 】

時刻 T 4 の前に、次に受信すべきバースト信号を受信したとする。ただし、ここで受信したバースト信号の復調データから同期パターンが検出されなかったとする。この結果、時刻 T 4 にてワンショットパルスを発生すべき指示信号 D E T 1 の電圧レベルは L レベルのままである。

【 0 0 3 9 】

ここで、時刻 T 4 にて、パルス発生回路 2 0 1 の計数値がカウンタとしてのパルス発生回路 2 0 1 の計数限度に到達し、カウントアップ信号 C O としてワンショットパルスを発生する。つまり、パルス発生回路 2 0 1 の計数限度は、時刻 T

2 から時刻 T 4 までの時間 (約 5 m s) に相当する計数值となっている。このようにすることで、パルス発生回路 2 0 1 は、先に検出されたバースト信号の同期を検出してから次に受信するバースト信号の復調データに含まれた疑似ランダムパターンの位置を予測し、その疑似ランダムパターンをレジスタ 1 0 3 に格納できるタイミングで、制御信号 D E T 2 を変化させることができる。よって、時刻 T 4 にて、カウントアップ信号 C O は、時刻 T 5 まで、電圧レベルが H レベルとなるワンショットパルスを発生する。これに伴い、制御信号 D E T 2 も時刻 T 4 から時刻 T 5 まで、電圧レベルが H レベルとなる。

【 0 0 4 0 】

このように、受信したバースト信号の復調データから同期パターンが検出されなかったとしても、パルス発生回路 2 0 1 により、制御信号 D E T 2 にワンショットパルスを発生させることができる。この結果、クロック発生回路 1 0 4 から第 1 及び第 2 のクロック信号 C K 1, C K 2 を発生させることができ、同期パターンが検出されなかったバースト信号の復調データからも疑似ランダムパターンをレジスタ 1 0 3 へ格納することができる。

【 0 0 4 1 】

時刻 T 5 における受信回路の動作は時刻 T 2 と同様に、第 1 のクロック信号 C K 1 によりレジスタ 1 0 3 に疑似ランダムパターンを格納し、時刻 T 6 における受信回路の動作は時刻 T 3 と同様に、第 2 のクロック信号 C K 2 によりレジスタ 1 0 3 に格納した疑似ランダムパターンを出力データ D O として出力することができる。

【 0 0 4 2 】

なお、時刻 T 4 にて、カウントアップ信号 C O としてワンショットパルスを発生したパルス発生回路 2 0 1 は、時刻 T 5 から初期値に戻って再び計数動作を続ける。

【 0 0 4 3 】

時刻 T 7 の前に、次に受信すべきバースト信号を受信したとする。ここで受信したバースト信号の復調データから同期パターンが検出されたとする。この結果、時刻 T 7 において、指示信号 D E T 1 の電圧レベルは、時刻 T 8 まで電圧レベ

ルがHレベルとなるワンショットパルスが発生する。

【0 0 4 4】

また、時刻T 7においては、再びパルス発生回路 2 0 1 の計数値が計数限度に到達し、パルス発生回路 2 0 1 はカウントアップ信号C Oとしてワンショットパルスが発生する。

【0 0 4 5】

このため、時刻T 7から時刻T 8までにおいては、指示信号D E T 1 とカウントアップ信号C Oとがともにワンショットパルスが発生し、これに基づき制御信号D E T 2 もワンショットパルスが発生することとなる。

【0 0 4 6】

なお、指示信号D E T 1 とカウントアップ信号C Oとがそれぞれ電圧レベルがHレベルとなるタイミングが異なることが考えられるが、正確に同期パターンが検出されればこのタイミングのずれはわずかであり、レジスタ 1 0 3 にデータを格納するのに問題はない。

【0 0 4 7】

時刻T 8における受信回路の動作は時刻T 2 と同様に、第 1 のクロック信号C K 1 によりレジスタ 1 0 3 に疑似ランダムパターンを格納し、時刻T 9 における受信回路の動作は時刻T 3 と同様に、第 2 のクロック信号C K 2 によりレジスタ 1 0 3 に格納した疑似ランダムパターンを出力データD Oとして出力することができる。

【0 0 4 8】

以上のように、図 1 に示す本発明の受信回路においては、送信されてくるバースト信号の復調データから同期パターンが検出されない場合があっても、分割されて送信される連続した疑似ランダムパターンを確実に、連続したデータとしてレジスタ 1 0 3 に格納していくことができる。このため、ビット誤り率特性の測定をより正確に行なうことが可能となる。

【0 0 4 9】

ここで、図 1 における受信回路においては、通常動作時においてもパルス発生回路 2 0 1 は計数動作を行なっているので、受信回路の動作の初期状態において

は、指示信号 D E T 1 がワンショットパルスが発生すべきでないタイミングにおいて、カウントアップ信号 C O としてワンショットパルスが発生する可能性がある。この場合は、レジスタ 1 0 3 に格納されたデータは、このデータに含まれる誤り検出ビット C R C にてデータの誤りとして判断され、このデータを破棄することができるので問題はない。この後、受信されるバースト信号の復調データから同期パターンが検出されれば、以降は、図 3 と同様な動作を実現することが可能となる。このため、図 1 の受信回路を適用しても、通常動作を十分実行することができる。

【 0 0 5 0 】

また、図 1 の受信回路においては、構成する構成要素の数もそれほど増加するものではない。

【 0 0 5 1 】

次に、本発明の第 2 の実施の形態における受信回路についてを、図面を用いて詳細に説明する。図 4 は、本発明の第 2 の実施の形態における受信回路の回路図である。なお、図 4 において、図 1 と同じ構成要素については同じ符号を付けて、説明の重複を避けている。

【 0 0 5 2 】

図 4 においては、パルス伝達制御回路 3 0 1 を設けている。図 4 におけるパルス伝達制御回路 3 0 1 は、2 入力 1 出力の A N D ゲートから構成されている。パルス伝達制御回路 3 0 1 には、カウントアップ信号 C O とモード信号 C N T とが入力されている。パルス伝達制御回路 3 0 1 からの出力信号は、図 1 の制御回路 2 0 2 の一方の入力信号であったカウントアップ信号 C O の代わりに、入力されるようになっている。

【 0 0 5 3 】

ここで、モード信号 C N T とは、受信回路を通常動作の状態と、ビット誤り率特性を測定する状態とを選択的に設定する制御信号としての役割を有するものである。図 4 においては、モード信号 C N T の電圧レベルが L レベルの時には、通常動作の状態を指示し、モード信号 C N T の電圧レベルが H レベルの時には、ビット誤り率特性を測定する状態を指示するものとしている。図 4 におけるその他

の構成については、図 1 と同様である。

【 0 0 5 4 】

このように構成することにより、図 4 における受信回路は、次のように動作制御される。モード信号 C N T の電圧レベルが H レベルの時には、カウントアップ信号の電圧レベルに応じた電圧レベルの信号が、パルス伝達制御回路 3 0 1 から出力される。この場合は、各構成要素の関係は図 1 の受信回路と同様になるので、図 1 と同様な動作が可能となる。

【 0 0 5 5 】

モード信号 C N T の電圧レベルが L レベルの時には、カウントアップ信号の電圧レベルにかかわらず、電圧レベルが L レベルに固定された信号が、パルス伝達制御回路 3 0 1 から出力される。つまり、通常動作において、パルス発生回路 2 0 1 の出力信号であるカウントアップ信号 C O の影響を、制御回路 2 0 2 やクロック発生回路 1 0 4 に与えないようになっている。

【 0 0 5 6 】

このように、図 4 における受信回路においては、通常動作時に、カウントアップ信号 C O の変化に基づいて、クロック発生回路 1 0 4 からクロック信号が発生されることがないようにになっている。よって、通常動作時において、受信回路の動作の初期状態においては、指示信号 D E T 1 がワンショットパルスが発生すべきでないタイミングにおいて、カウントアップ信号 C O としてワンショットパルスが発生することで、レジスタ 1 0 3 が格納すべきでないデータを格納してしまうことが防止できる。この結果、より確実かつ高速に格納すべきデータをレジスタ 1 0 3 に得ることができる。

【 0 0 5 7 】

また、通常動作時に、同期パターンの検出に基づく指示信号 D E T 1 の変化タイミングと、カウントアップ信号 C O の変化タイミングとがずれてしまうことにより、格納すべきデータの正常な格納を妨げることもない。

【 0 0 5 8 】

なお、第 2 の実施の形態においては、図 1 の受信回路にパルス伝達制御回路 3 0 1 が追加することで上述のような効果を得ることができるため、受信回路全体

の回路構成を複雑化したり、受信回路を構成する構成要素それぞれの回路変更も必要ない。よって、製造工程が複雑化することや、受信回路を構成する構成要素が大幅に増加することを極力低減できる。

【 0 0 5 9 】

次に、本発明の第 3 の実施の形態における受信回路についてを、図面を用いて詳細に説明する。図 5 は、本発明の第 3 の実施の形態における受信回路の回路図である。なお、図 5 において、図 1 あるいは図 4 と同じ構成要素については同じ符号を付けて、説明の重複を避けている。

【 0 0 6 0 】

図 5 においては、図 1 の回路構成とほぼ同様であるが、更にクロック伝達制御回路 4 0 1 を設けている。図 5 におけるクロック伝達制御回路 4 0 1 は、2 入力 1 出力の AND ゲートから構成されている。クロック伝達制御回路 4 0 1 には、動作クロック信号 CLK と図 4 と同様なモード信号 CNT とが入力されている。クロック伝達制御回路 4 0 1 からの出力信号は、パルス発生回路 2 0 1 に入力されている。つまり、図 5 においては、パルス発生回路 2 0 1 がクロック伝達制御回路 4 0 1 の出力信号を、計数する対象としている。図 5 におけるその他の構成要素は図 1 と同様である。

【 0 0 6 1 】

このように構成することにより、図 5 における受信回路は、次のように動作制御される。モード信号 CNT の電圧レベルが H レベルの時には、動作クロック信号 CLK の電圧レベルに応じた電圧レベルの信号が、クロック伝達制御回路 4 0 1 から出力される。この場合は、各構成要素の関係は図 1 の受信回路と同様になるので、図 1 と同様な動作が可能となる。

【 0 0 6 2 】

モード信号 CNT の電圧レベルが L レベルの時には、動作クロック信号 CLK の電圧レベルにかかわらず、電圧レベルが L レベルに固定された信号が、クロック伝達制御回路 4 0 1 から出力される。つまり、通常動作において、パルス発生回路 2 0 1 へ動作クロック信号 CLK を与えないようにして、通常動作時におけるパルス発生回路 2 0 1 の計数動作を止めている。このため、パルス発生回

路 2 0 1 は、通常動作時において、出力信号であるカウントアップ信号 C O の電圧レベルは L レベルに維持することができる。よって、第 2 の実施の形態と同様に、通常動作時におけるカウントアップ信号 C O の影響を、制御回路 2 0 2 やクロック発生回路 1 0 4 に与えないようになっている。

【 0 0 6 3 】

このように、図 5 における受信回路においては、その方法は異なるが、図 4 における受信回路と同様に、通常動作時に、カウントアップ信号 C O の変化に基づいて、クロック発生回路 1 0 4 からクロック信号が発生されることがないようにになっている。よって、通常動作時において、受信回路の動作の初期状態においては、指示信号 D E T 1 がワンショットパルスが発生すべきでないタイミングにおいて、カウントアップ信号 C O としてワンショットパルスが発生することで、レジスタ 1 0 3 が格納すべきでないデータを格納してしまうことが防止できる。この結果、より確実かつ高速に格納すべきデータをレジスタ 1 0 3 に得ることができる。

【 0 0 6 4 】

また、図 5 においては、パルス発生回路 2 0 1 の計数動作をも止めてしまうので、パルス発生回路 2 0 1 における消費電力を低減でき、本発明の受信回路を内蔵した無線装置における全体の消費電力を低減することに寄与できる。

【 0 0 6 5 】

また、図 5 の受信回路においても、通常動作時に、同期パターンの検出に基づく指示信号 D E T 1 の変化タイミングと、カウントアップ信号 C O の変化タイミングとがずれてしまうことにより、格納すべきデータの正常な格納を妨げることもない。

【 0 0 6 6 】

なお、第 3 の実施の形態においても、図 1 の受信回路にクロック伝達制御回路 4 0 1 が追加することで上述のような効果を得ることができるため、受信回路全体の回路構成を複雑化したり、受信回路を構成する構成要素それぞれの回路変更も必要ない。よって、製造工程が複雑化することや、受信回路を構成する構成要素が大幅に増加することを極力低減できる。

【 0 0 6 7 】

以上のように、本発明の受信回路についてを詳細に説明したが、本発明の受信回路の構成は上記実施の形態のものに限定されるものではない。

【 0 0 6 8 】

例えば、パルス発生回路 2 0 1 は、指示信号 D E T 1 にて計数値がリセットされるものとしているがこれに限定されず、例えば、任意の初期値から計数を開始可能なように、この初期値格納用レジスタを設けて、指示信号 D E T 1 にてこのレジスタに格納された設定値をパルス発生回路 2 0 1 に格納し、これを初期値として計数動作をするようにしてもよい。

【 0 0 6 9 】

また、レジスタ 1 0 3 は、第 2 のクロック信号 C K 2 にて格納しているデータを出力するようにしているが、第 1 のクロック信号 C K 1 にて出力可能なようにすることも可能である。

【 0 0 7 0 】

また、制御回路 2 0 2、パルス伝達制御回路 3 0 1、クロック伝達制御回路 4 0 1 は、それぞれ上述したような動作が可能であれば、他の論理ゲートや回路構成としてもよい。

【 0 0 7 1 】

また、パルス発生回路 2 0 1 は、所定の計数値を巡回して計数動作を行なうタイマであれば、他の構成であっても適用可能である。また、パルス発生回路 2 0 1 の回路構成の変更を伴うが、モード信号によって、パルス発生回路 2 0 1 への動作電源の供給を制御して、パルス発生回路 2 0 1 の活性化を制御することで、消費電力を低減するようにしてもよい。この場合、パルス発生回路 2 0 1 の出力であるカウントアップ信号 C O の電圧レベルを安定にするため、モード信号 C N T の電圧レベルが H レベルの際、パルス発生回路 2 0 1 を非活性とし、この時にパルス発生回路 2 0 1 の出力であるカウントアップ信号 C O の電圧レベルに固定するような素子を設けた方がよい。このような素子としては、素子数の増加を極力低減することを考慮すれば、例えば、ゲート電極にモード信号 C N T が入力され、カウントアップ信号 C O を伝達する信号線と接地電圧源との間に接続された

Nチャネル型MOSトランジスタが考えられる。

【0072】

また、レジスタ103に格納されるデータも、復調データのうちのデータDATAに限られるものではなく、データDATAの他にも格納すべきデータがあれば、そのビット数に応じて、レジスタ103を格納可能なビット数とし、クロック発生回路104から発生する第1のクロック信号CK1と第2のクロック信号CK2のクロック数を必要な数だけ発生するようにして、レジスタ103に格納するようにしてもよい。

【0073】

【発明の効果】

以上のように、本発明の受信回路によれば、ビット誤り率特性の測定をより正確に実行できる受信回路を提供することができる。

【0074】

また、本発明の受信回路によれば、通常の動作への影響、受信回路を構成する構成要素の増加、消費電力の増加のそれぞれを極力低減して上記の効果を実現する受信回路を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態における受信回路の回路図である。

【図2】

本発明の第1の実施の形態における受信回路の動作を説明するタイミングチャートである。

【図3】

送信されるバースト信号と、そのバースト信号のフォーマットを説明する図である。

【図4】

本発明の第2の実施の形態における受信回路の回路図である。

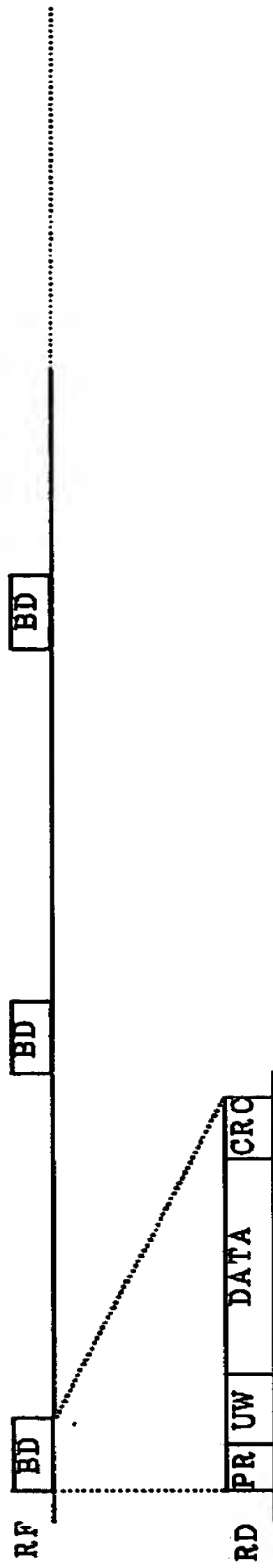
【図5】

本発明の第3の実施の形態における受信回路の回路図である。

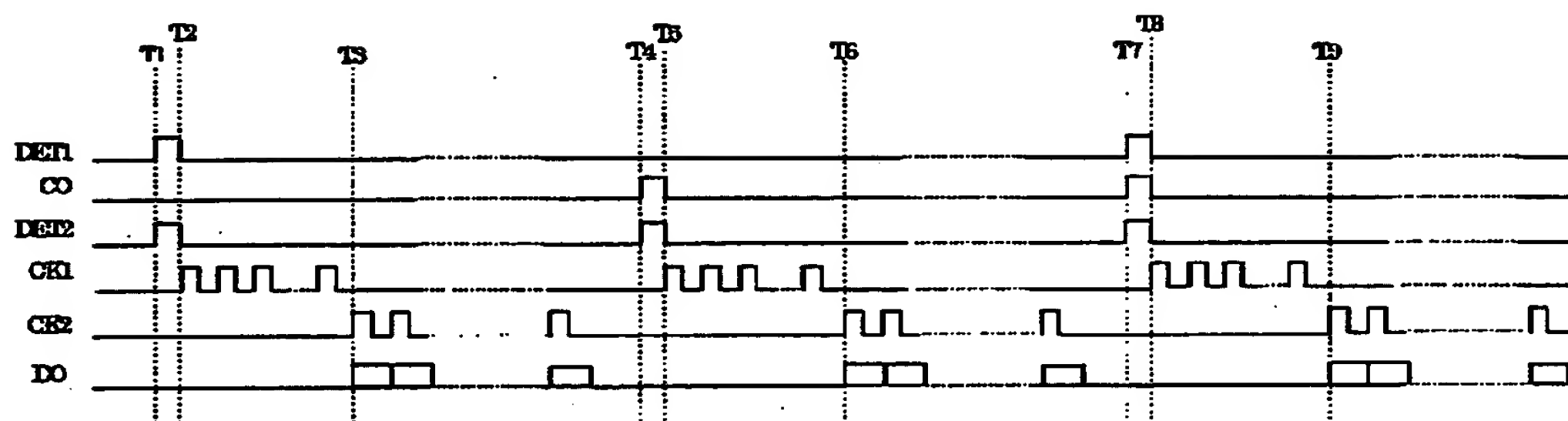
【符号の説明】

1 0 1	復調回路
1 0 2	検出回路
1 0 3	レジスタ
1 0 4	クロック発生回路
2 0 1	パルス発生回路（カウンタ）
2 0 2	制御回路
3 0 1	パルス伝達制御回路
4 0 1	クロック伝達制御回路

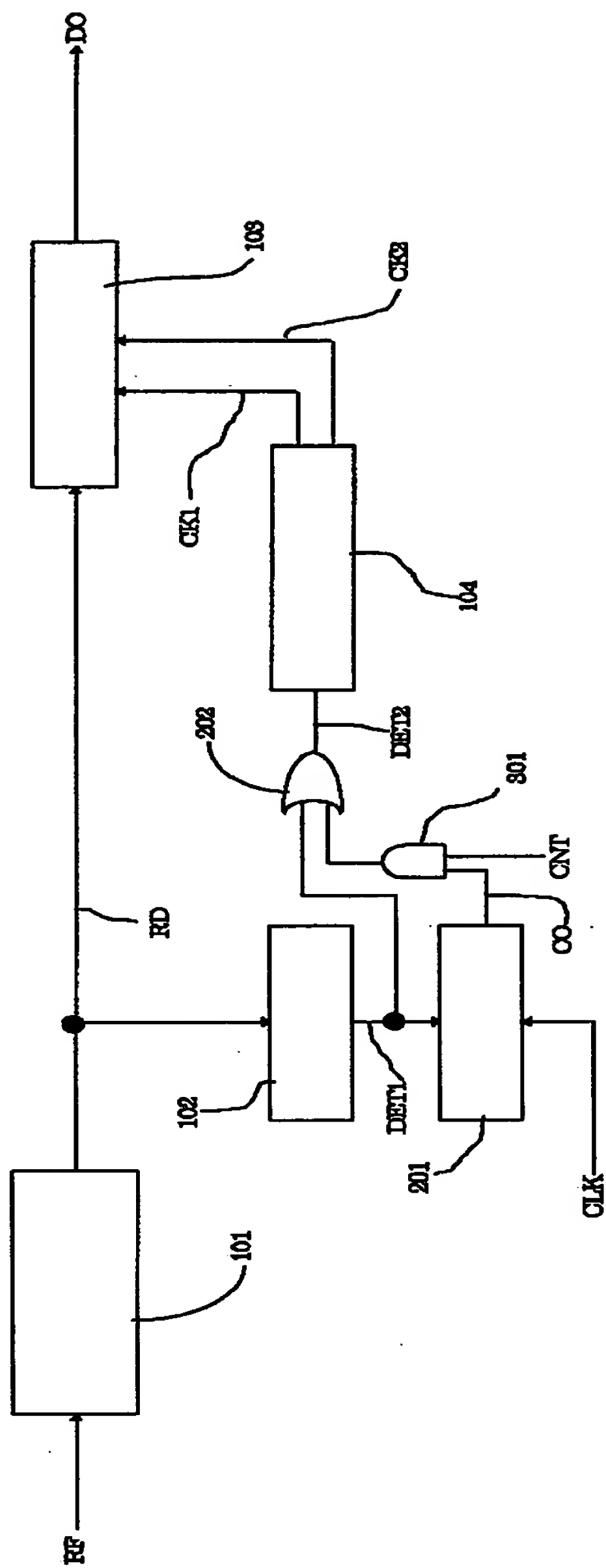
【図 2】



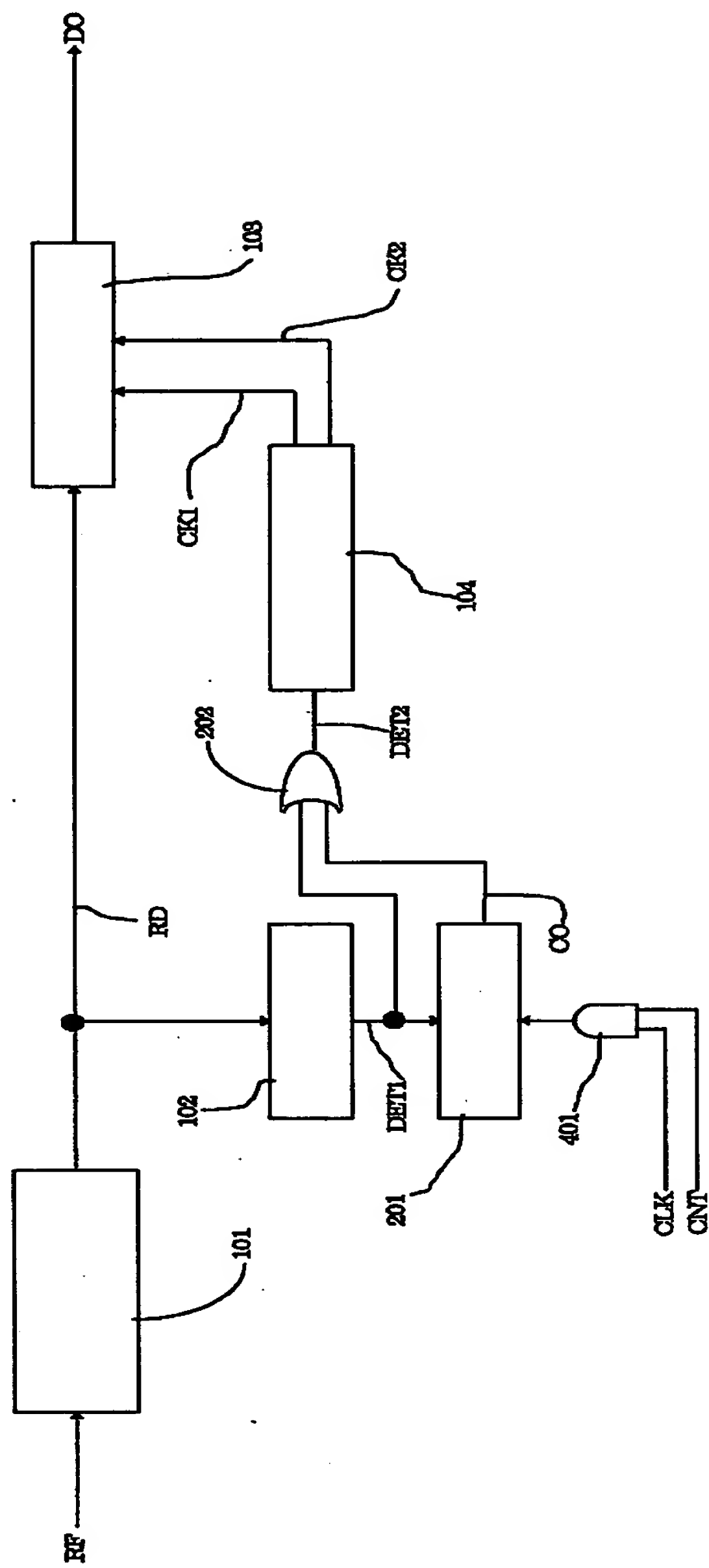
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【目的】 ビット誤り率特性の測定をより正確に実行できる受信回路を提供することを目的とする。

【解決手段】 先に受信した、連続した疑似ランダムパターンの一部を有するバースト信号から同期パターンを検出したことを指示する指示信号 D E T 1 に応じて計数値がリセット可能なカウンタとして動作するパルス発生回路 2 0 1 を設けて、パルス発生回路 2 0 1 は、続いて受信する疑似ランダムパターンの連続した一部を有するバースト信号の同期パターンが検出されるべきタイミングまで計数すると、指示信号 D E T 1 と同様なカウントアップ信号 C O を出力するようにした。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社